

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-111037

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

G06G 7/163
H03F 3/45

(21)Application number : 04-279226

(71)Applicant : NEC CORP

(22)Date of filing : 25.09.1992

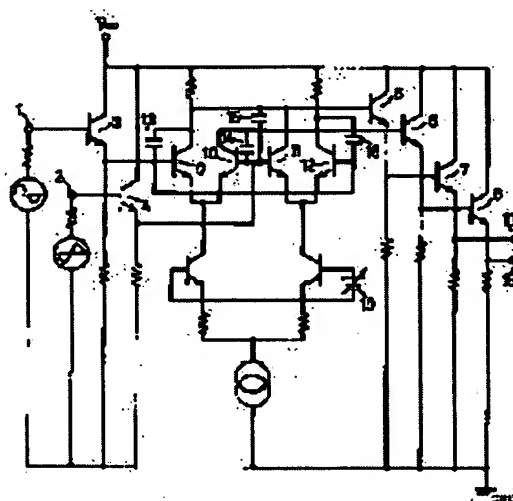
(72)Inventor : MINEO MASAO

(54) ANALOG MULTIPLIER CIRCUIT

(57)Abstract:

PURPOSE: To reduce a carrier leak by enlarging the capacity between a base and a collector of a bidifferential transistor.

CONSTITUTION: Bidifferential transistors 9-12 constitute an operational amplifier for suppressing the same phase input signal component to the utmost by an output, and obtaining an output to a differential input signal component. In this regard, capacities 13-16 are added between each collector-base of the differential transistors 9-12. In such a state, input signals from carrier input terminals 1, 2 are impressed to each base of the bidifferential transistors 9-12 through emitter follower circuits 3, 4, respectively, analog multiplication is executed by these bidifferential transistors 9-12 and a base band input 19, and a multiplication output is obtained in output terminals 17, 18. In such a way, a carrier leak caused by asymmetry of an element for constituting an analog multiplier of a gilbert cell type can be reduced.



LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2856002

[Date of registration] 27.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 27.11.2003

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-111037

(43)公開日 平成6年(1994)4月22日

(51)IntCl.⁵

G 0 6 G 7/163

H 0 3 F 3/45

識別記号

M

Z 7436-5J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

特願平4-279226

(22)出願日

平成4年(1992)9月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 峰尾 将穂

東京都港区芝五丁目7番1号 日本電気株式会社社内

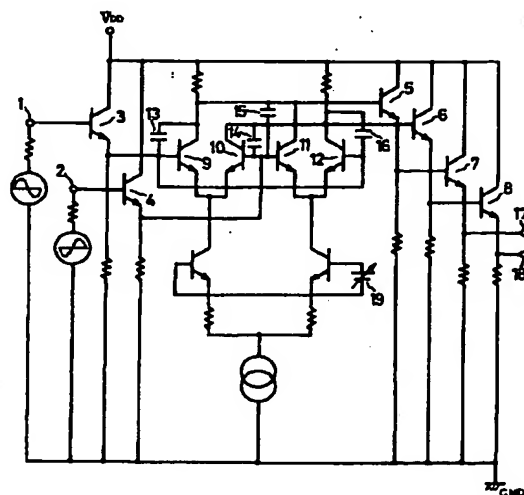
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 アナログ乗算器回路

(57)【要約】

【目的】 ギルバート・セル型のアナログ乗算器において、それを構成する素子の非対称性に起因するキャリア・リークを低減させる。

【構成】 ギルバート・セル型のアナログ乗算器回路において、双差動トランジスタ9～12のコレクターベース間に容量13～16を付加することにより、そのキャリア・リークを低減する。



【特許請求の範囲】

【請求項1】 ギルバート・セル型のアナログ乗算器回路において、双差動トランジスタのコレクターベース間の容量を大きくする手段を備え、キャリア・リークを低減するようにしたことを特徴とするアナログ乗算器回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は動作周波数1GHz以上において用いられるギルバート・セル型のアナログ乗算器回路に係り、特にそのキャリア・リークを低減したギルバート・セル型アナログ乗算器回路に関するものである。

【0002】

【従来の技術】 従来より用いられているギルバート・セル型のアナログ乗算器回路は、差動トランジスタと双差動トランジスタがシリーズに接続されており、双差動トランジスタのベースにキャリア信号を、差動トランジスタのベースに比較的低周波のベース・バンド信号を入力して使用される。

【0003】 そして、従来のギルバート・セル型のアナログ乗算器を1GHz以上の動作周波数で使用する場合には、双差動トランジスタの性能ばらつき、ベース、エミッタまたはコレクタ接続部の配線寄生容量のばらつきに起因した出力電流の差が発生し、キャリア・リークが増加するという不都合があった。そこで、このキャリア・リークの抑圧方法はベース・バンド信号入力およびキャリア信号入力にDCオフセット電圧を加え、そのDC電位を変えることにより素子等のばらつきを補正する方法をとっていた。

【0004】

【発明が解決しようとする課題】 この従来のキャリア・リーク抑圧方法では、外部よりDC電圧を加えるため回路および調整が複雑になり、また、ある一定の温度、キャリア周波数でオフセット調整をするので、温度範囲および周波数帯域が狭くなるという問題があった。

【0005】 本発明はかかる問題を解決するためになされたもので、ギルバート・セル型のアナログ乗算器において、それを構成する素子の非対称性に起因するキャリア・リークを低減させるアナログ乗算器回路を得ることを目的とする。

【0006】

【課題を解決するための手段】 本発明のアナログ乗算器回路は、ギルバート・セル型のアナログ乗算器回路において、双差動トランジスタのコレクターベース間の容量を大きくする手段を備え、キャリア・リークを低減するようにしたものである。

【0007】

【作用】 本発明においては、ギルバート・セル型のアナログ乗算器を構成する素子の非対称性に起因するキャリ

ア・リークを低減する。

【0008】

【実施例】 図1は本発明の一実施例を示す回路図である。この図1において、1, 2はキャリア入力端、17, 18は出力端で、このキャリア入力端1, 2および出力端17, 18にはエミッタ・フォロワ3, 4の各ベースおよびエミッタ・フォロワ7, 8の各エミッタがそれぞれ接続されている。5および6はエミッタ・フォロワ7および8の各前段のエミッタ・フォロワである。9, 10および11, 12はそれぞれエミッタを共通接続した双差動トランジスタ、13, 14および15, 16はこの双差動トランジスタ9, 10および11, 12の各コレクターベース間に付加された容量である。19はベース・バンド入力を示す。

【0009】 つぎにこの図1に示す実施例の動作を説明する。まず、双差動トランジスタ9, 10および11, 12は、出力で同位相入力信号成分を極力おさえ、差動入力信号成分に対する出力を得る作動増幅器を構成している。そして、キャリア入力端1, 2からの入力信号はそれぞれエミッタ・フォロワ3, 4を介して双差動トランジスタ9, 12および10, 11の各ベースに印加され、この双差動トランジスタ9~12とベース・バンド入力19によってアナログ乗算が行われ、出力端17, 18には乗算出力が得られる。

【0010】 つぎに、このアナログ乗算器において、ベース・バンド電位差を0Vとしたときの出力レベルをキャリア・リークとし、SPICEによるシミュレーションを行った結果、50Ω系で $3.8 \times 10^{-5} \text{V}_{\text{OP}}$ の出力レベルが得られた。ただし、ここでキャリア信号は、周波数2GHzで両相入力とし、容量13~16の容量値は各50fFとした。一方、本発明において提案した容量13~16を省いた回路におけるキャリア・リークは $2.5 \times 10^{-4} \text{V}_{\text{OP}}$ の出力レベルとなり約16dB劣化している。

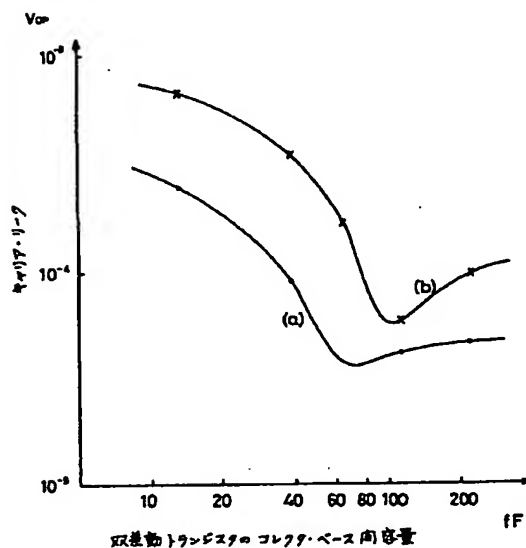
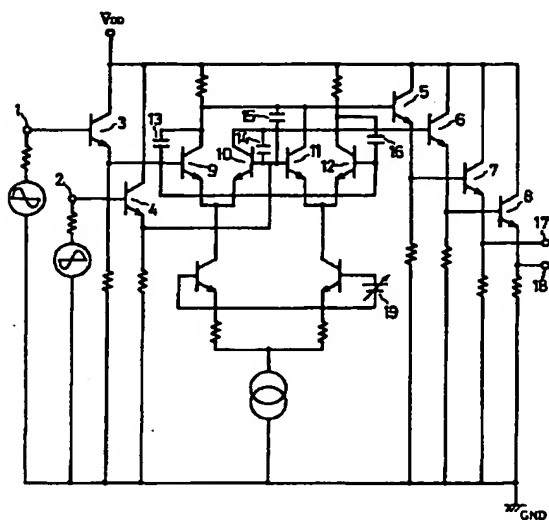
【0011】 図2は図1の動作説明に供するローカル周波数2GHzおよび3GHzでのキャリア・リークシミュレーション値を示す特性図で、双差動トランジスタのコレクタ・ベース間の容量に対するキャリア・リークの特性を対数表で表わしたものである。(a)はローカル周波数 $f_{\text{LO}} = 2 \text{GHz}$ を示し、(b)は $f_{\text{LO}} = 3 \text{GHz}$ を示す。そして、この図2は容量値を変えたときのキャリア・リークの値を示すグラフである。ただし、この容量値にはトランジスタのコレクターベース間寄生容量も含んでいる。

【0012】 なお、上記実施例においては、双差動トランジスタのコレクタ・ベース間に容量を付加する場合を例にとって説明したが、本発明はこれに限定されるものではなく、双差動トランジスタのコレクタ・ベース間に容量を追加するかわりに双差動トランジスタの素子サイズを大きくしてもキャリア・リークを低減することがで

[0013]

10

【图2】



THIS PAGE BLANK (USPTO)